

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/000574

International filing date: 02 March 2005 (02.03.2005)

Document type: Certified copy of priority document

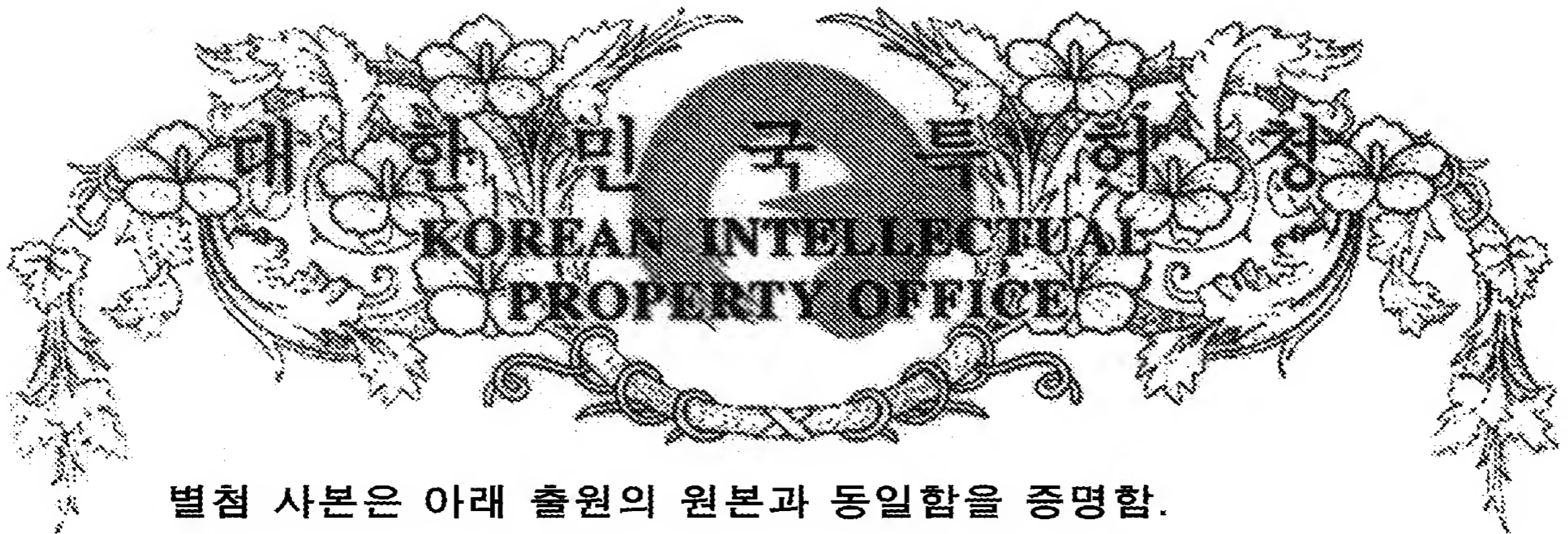
Document details: Country/Office: KR  
Number: 10-2004-0014036  
Filing date: 02 March 2004 (02.03.2004)

Date of receipt at the International Bureau: 17 May 2005 (17.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office

출원번호 : 특허출원 2004년 제 0014036 호  
Application Number 10-2004-0014036

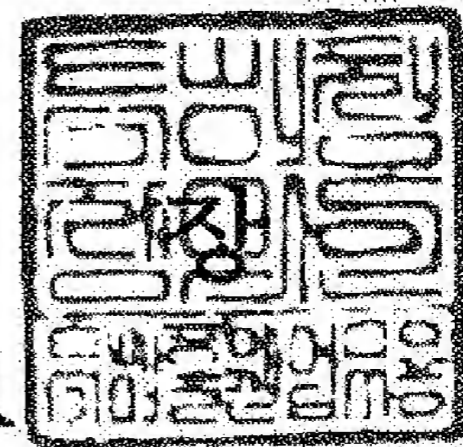
출원일자 : 2004년 03월 02일  
Date of Application MAR 02, 2004

출원인 : 이태복  
Applicant(s) RHEE TAE-POK

2005 년 04 월 07 일

특 허 청

COMMISSIONER



**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2004.03.02
<b>【발명의 국문명칭】</b>	고 내압용 반도체 소자 및 그 제조방법
<b>【발명의 영문명칭】</b>	Semiconductor device of high breakdown voltage and manufacturing method thereof
<b>【출원인】</b>	
<b>【성명】</b>	이태복
<b>【출원인코드】</b>	4-2001-024588-5
<b>【대리인】</b>	
<b>【성명】</b>	김영철
<b>【대리인코드】</b>	9-1998-000040-3
<b>【포괄위임등록번호】</b>	2001-034630-0
<b>【대리인】</b>	
<b>【성명】</b>	김순영
<b>【대리인코드】</b>	9-1998-000131-1
<b>【포괄위임등록번호】</b>	2001-034629-7
<b>【발명자】</b>	
<b>【성명】</b>	이태복
<b>【출원인코드】</b>	4-2001-024588-5
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  김영철   (인) 대리인  김순영   (인)

**【수수료】**

**【기본출원료】** 21 면 38,000 원

**【가산출원료】** 0 면 0 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 12 항 493,000 원

**【합계】** 531,000 원

**【감면사유】** 개인(70%감면)

**【감면후 수수료】** 159,300 원

## 【요약서】

### 【요약】

본 발명은 고 내압용 반도체 소자 및 그 제조방법에 관한 것으로, 본 발명에서는 게이트 전극 패턴을 반도체 기판의 저부로 매립 형성함과 아울러, 이 게이트 전극 패턴의 양쪽 측부에 소오스/드레인 확산층을 위한 저 농도 불순물층 및 고 농도 불순물층을 순차적으로 적층 형성하고, 이를 통해, 고 농도 불순물층이 게이트 전극 패턴과 별도의 이격 거리를 이루지 않고서도, 자신에게 필요한 일련의 전압 강하 영역을 손쉽게 확보할 수 있도록 유도함으로써, 고 농도 불순물층 및 게이트 전극 패턴의 이격에 기인한 소자의 사이즈 증가를 미리 차단시킬 수 있다.

이러한 본 발명의 실시예 따라, 고 농도 불순물층 및 게이트 전극 패턴의 이격 필요성이 효과적으로 제거되는 경우, 최종 완성되는 소자의 사이즈는 대폭 줄어들 수 있게 되며, 결국, 소자의 사이즈 증가에 기인한 제조원가 상승 문제점 역시 자연스럽게 해결될 수 있게 된다.

### 【대표도】

#### 도 2

## 【명세서】

### 【발명의 명칭】

고 내압용 반도체 소자 및 그 제조방법{Semiconductor device of high breakdown voltage and manufacturing method thereof}

### 【도면의 간단한 설명】

- <1> 도 1은 종래의 기술에 따른 고 내압용 반도체 소자를 도시한 예시도.
- <2> 도 2는 본 발명에 따른 고 내압용 반도체 소자를 도시한 예시도.
- <3> 도 3a 내지 도 3g는 본 발명에 따른 고 내압용 반도체 소자의 제조방법을 순차적으로 도시한 공정 순서도.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <4> 본 발명은 고 내압용 반도체 소자에 관한 것으로, 좀더 상세하게는 게이트 전극 패턴을 반도체 기판의 저부로 매립 형성함과 아울러, 이 게이트 전극 패턴의 양쪽 측부에 소오스/드레인 확산층을 위한 저 농도 불순물층 및 고 농도 불순물층을 순차적으로 적층 형성하고, 이를 통해, 고 농도 불순물층이 게이트 전극 패턴과 별도의 이격 거리를 이루지 않고서도, 자신에게 필요한 일련의 전압 강하 영역을 손쉽게 확보할 수 있도록 유도함으로써, 고 농도 불순물층 및 게이트 전극 패턴의 이격에 기인한 소자의 사이즈 증가를 미리 차단시킬 수 있도록 하는 고 내압용 반

도체 소자에 관한 것이다. 또한, 본 발명은 이러한 고 내압용 반도체 소자를 제조하는 방법에 관한 것이다.

<5> 최근, 액정 표시장치, 플라즈마 표시장치 등과 같은 다양한 종류의 전자기기가 개발 보급되면서, 이들 전자기기에 구비된 여러 종류의 주변 디바이스와 접속·동작하여야 하는 고 내압용 반도체 소자에 대한 수요 또한 급격한 증가 추세를 이루고 있다.

<6> 도 1에 도시된 바와 같이, 종래의 기술에 따른 고 내압용 반도체 소자 체제 하에서, 통상, 반도체 기판(1)은 소자 분리막(2)에 의해 소자 분리 영역 및 활성 영역으로 분리 정의되며, 이 상황에서, 반도체 기판(1)의 활성 영역에는 게이트 전극 패턴(10), 게이트 절연막 패턴(9), 소오스/드레인 확산층(8,5) 등이 배치된다. 이 경우, 소오스/드레인 확산층(8,5)은 고 농도 불순물층(7,4) 및 저 농도 불순물층(6,3) 등이 조합된 구성을 취하게 된다.

<7> 이러한 종래의 기술에 따른 고 내압용 반도체 소자에서, 도면에 도시된 바와 같이, 소오스/드레인 확산층(8,5)의 고 농도 불순물층(7,4)은 일정 수준 이상의 전압 강하 영역을 확보하기 위하여, 게이트 전극 패턴(10)의 양쪽 단부로부터 일정 거리 L만큼 이격된 구조를 취하게 된다.

<8> 물론, 이처럼, 소오스/드레인 확산층(8,5)의 고 농도 불순물층(7,4)이 게이트 전극 패턴(10)과 일정한 이격 거리를 유지하지 못하게 되면, 정상적인 전압 강하 영역이 확보되지 못하게 되어, 그 여파로, 소자에는 예컨대, 외부로부터 가해지는 고 전압에 의해 저 농도 불순물층(6,3)의 외곽라인이 동작 전압에 도달하기 전

에 파괴되는 등의 심각한 문제점이 야기될 수 있다.

<9> 이러한 구조 하에서, 소자의 전압 강하 방향은 고 농도 불순물층(7,4) 각각 으로부터 저 농도 불순물층(6,3) 각각을 향한 방향, 즉, 채널 방향과 마찬가지로 반도체 기판(1)의 표면을 따르는 횡 방향을 이루게 된다. 이는 저 농도 불순물층의 깊이가 어느 정도 확보된다면 전기장이 가장 크게 걸리는 곡면 부분이 가장 먼저 파괴되기 때문이다.

<10> 그러나, 이와 같이, 소오스/드레인 확산층(8,5)의 고 농도 불순물층(7,4)을 게이트 전극 패턴(10)의 단부로 일정 거리 L만큼 이격 형성시키는 경우, 생산자 측에서는 일정 수준 이상의 전압 강하 영역을 확보할 수 있는 이점을 어느 정도 획득 할 수 있기는 하겠지만, 이 경우, 해당 생산자 측에서는 고 농도 불순물(7,4)층의 이격 거리에 비례하여 최종 완성되는 고 내압용 반도체 소자의 사이즈가 대폭 증가 하게 되는 심각한 문제점을 불가피하게 감수할 수밖에 없게 되며, 그 여파로, 소자의 제조 원가가 급등하는 문제점까지도 함께 감수할 수밖에 없게 된다.

### 【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명의 목적은 게이트 전극 패턴을 반도체 기판의 저부로 매립 형성함과 아울러, 이 게이트 전극 패턴의 양쪽 측부에 소오스/드레인 확산층을 위한 저 농도 불순물층 및 고 농도 불순물층을 순차적으로 적층 형성하고, 이를 통해, 고 농도 불순물층이 게이트 전극 패턴과 별도의 이격 거리를 이루지 않고서도, 자신에게 필요한 일련의 전압 강하 영역을 손쉽게 확보할 수 있도록 유도함으로써, 고 농도 불순물층 및 게이트 전극 패턴의 이격에 기인한 소자의 사이즈 증가

를 미리 차단시키는데 있다.

<12> 본 발명의 다른 목적은 게이트 전극 패턴 및 소오스/드레인 확산층의 형태 개선을 통해, 소자의 사이즈 최소화를 도모하고, 이를 통해, 최종 완성되는 소자의 제조 원가를 대폭 줄이는데 있다.

<13> 본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

### 【발명의 구성】

<14> 상기와 같은 목적을 달성하기 위하여 본 발명에서는 인버전 방지층이 구비된 소자 분리막에 의해 정의된 반도체 기판의 활성 영역에 매립 형성된 게이트 전극 패턴과, 게이트 전극 패턴의 테두리를 감싸는 게이트 절연막 패턴과, 게이트 절연막 패턴과 접촉되도록 게이트 전극 패턴의 양쪽에 위치하면서, 반도체 기판의 활성 영역 상층에 이온 주입 형성된 고 농도 불순물층과, 게이트 절연막 패턴과 접촉되도록 게이트 전극 패턴의 양쪽에 위치하면서, 고 농도 불순물층의 하부에 이온 주입 형성된 저 농도 불순물층의 조합으로 이루어지는 고 내압용 반도체 소자를 개시한다.

<15> 또한, 본 발명의 다른 측면에서는 반도체 기판의 활성 영역에 트렌치를 형성하는 단계와, 트렌치의 표면에 게이트 절연막 패턴을 형성하는 단계와, 게이트 절연막 패턴과 접촉되도록 트렌치의 내부에 게이트 전극 패턴을 형성하는 단계와, 게이트 절연막 패턴과 접촉되면서, 게이트 전극 패턴의 양쪽에 위치하도록 반도체 기판의 활성 영역에 저 농도 불순물층을 이온 주입 형성하는 단계와, 게이트 절연막

패턴과 접촉되면서, 게이트 전극 패턴의 양쪽에 위치하도록 저 농도 불순물층의 상부에 고 농도 불순물층을 이온 주입 형성하는 단계의 조합으로 이루어지는 고 내압용 반도체 소자의 제조방법을 개시한다.

<16> 이하, 첨부된 도면을 참조하여, 본 발명에 따른 고 내압용 반도체 소자 및 그 제조방법을 좀더 상세히 설명하면 다음과 같다.

<17> 도 2에 도시된 바와 같이, 본 발명에 따른 고 내압용 반도체 소자는 소자 분리막(12)에 의해 정의된 반도체 기판(11)의 활성 영역에 매립 형성된 게이트 전극 패턴(20)과, 게이트 전극 패턴(20)의 테두리를 감싸는 게이트 절연막 패턴(19)과, 게이트 절연막 패턴(19)과 접촉되도록 게이트 전극 패턴(20)의 양쪽 측부에 위치하면서, 소오스/드레인 확산층(18,15)을 이루는 고 농도 불순물층(17,14) 및 저 농도 불순물층(16,13)의 조합으로 이루어진다. 이 경우, 소자 분리막(12)의 저부에는 해당 소자 분리막(12)의 소자 분리 기능 향상을 위한 인버전 방지층(12a)이 추가 형성될 수도 있다.

<18> 이 상황에서, 게이트 절연막 패턴(19)은 게이트 전극 패턴(20)의 동작에 따라, 소오스 확산층(18)으로부터 드레인 확산층(15)에 이르는 횡 방향의 채널을 형성하게 되며, 이 경우, 게이트 절연막 패턴(19)의 저부에는 바람직하게, 게이트 절연막 패턴(19)을 통해 형성되는 채널의 문턱 전압을 조절하기 위한 문턱전압 조절층(21)이 추가 형성된다.

<19> 이때, 앞의 게이트 전극 패턴(20)은 바람직하게, 소자 분리막(12) 보다 얇은 깊이로 매립 형성되면서, 소자 분리막(12) 보다 대체로 넓은 폭을 유지한다.

<20> 이러한 본 발명의 체제 하에서, 도면에 도시된 바와 같이, 고 농도 불순물층(17,14)은 반도체 기판(11)의 활성 영역 상층에 이온 주입 형성되는 구조를 취하게 되며, 저 농도 불순물층(16,13)은 이 고 농도 불순물층(17,14)의 하부에 이온 주입 형성되는 구조를 취하게 된다. 즉, 본 발명의 구현 환경 하에서, 고 농도 불순물층(17,14) 및 저 농도 불순물층(16,13)은 서로 간에 순차적인 적층 구조를 취하게 되는 것이다.

<21> 물론, 본 발명의 고 농도 불순물층(17,14) 및 저 농도 불순물층(16,13)이 별 다른 문제점 없이, 이러한 적층 구조를 취할 수 있는 이유는 게이트 전극 패턴(20)이 종래와 달리, 반도체 기판(11)의 저부로 매립 형성되는 구조를 취하고 있기 때문이다.

<22> 종래의 체제 하에서, 소오스/드레인 확산층의 고 농도 불순물층은 일정 수준 이상의 전압 강하 영역을 확보하기 위하여, 게이트 전극 패턴의 양쪽 단부로부터 일정 거리 L만큼 이격된 구조를 취하였으며, 이 상황에서, 소자의 전압 강하 방향은 고 농도 불순물층으로부터 저 농도 불순물층을 향한 방향, 즉, 채널 방향과 마찬가지로 반도체 기판의 표면을 따르는 횡 방향을 이루었는 바, 이 경우, 최종 완성되는 소자의 사이즈는 고 농도 불순물층의 이격 거리에 비례하여 불가피하게 대폭 증가될 수밖에 없었다.

<23> 그러나, 본 발명의 체제 하에서, 고 농도 불순물층(17,14) 및 저 농도 불순물층(16,13)은 상하로 배치된 순차적인 적층 구조를 형성하기 때문에, 소자의 전압 강하 방향은 각각의 고 농도 불순물층(17,14)으로부터 각각이 저 농도 불순물층

(16,13)을 향한 방향, 즉, 채널 방향과 반대로 반도체 기판(11)의 저부를 향한 중 방향을 이루게 되며, 결국, 본 발명이 구현되는 경우, 고 농도 불순물층(17,14)은 게이트 전극 패턴(20)과 별도의 이격 거리를 이루지 않고서도, 자신에게 필요한 일련의 전압 강하 영역을 손쉽게 확보할 수 있게 된다.

<24> 물론, 이러한 본 발명의 실시예에 따라, 고 농도 불순물층(17,14) 및 게이트 전극 패턴(20)의 이격 필요성이 효과적으로 제거되는 경우, 최종 완성되는 소자의 사이즈는 대폭 줄어들 수 있게 되며, 결국, 소자의 사이즈 증가에 기인한 제조원가 상승 문제점 역시 자연스럽게 해결될 수 있게 된다.

<25> 이러한 본 발명을 구현함에 있어서, 소자 분리막(12)의 인버전 방지층(12a)과, 고 농도 불순물층(17,14)과의 위치관계는 매우 중요한 팩터로 작용할 수 있다. 이는 만약, 소자 분리막(12)의 인버전 방지층(17,14)과 고 농도 불순물층(17,14)이 서로 접촉되는 경우, 그 여파로, 고 농도 불순물층(17,14)이 견딜 수 있는 고 내압 범위가 크게 줄어드는 심각한 문제점이 야기될 수 있기 때문이다.

<26> 본 발명에서는 이러한 문제점을 미리 충분히 감안하여, 고 농도 불순물층(17,14) 및 소자 분리막(12)의 인버전 방지층(12a)을 서로 간에 전기적으로 접촉되지 않도록 완전히 분리 형성함으로써, 고 농도 불순물층(17,14)의 고 내압 범위 축소를 미리 차단시킨다.

<27> 또한, 본 발명을 구현함에 있어서, 게이트 전극 패턴(20)의 매립 깊이와 저 농도 불순물층(16,13)의 정션 깊이 간의 관계는 매우 중요한 팩터로 작용할 수 있다. 이는 만약, 저 농도 불순물층(16,13)의 정션 깊이가 게이트 전극 패턴(20)의

매립 깊이 보다 얇아질 경우, 게이트 절연막 패턴(19) 및 저 농도 불순물층(16,13) 간의 접촉이 원활히 이루어지지 못하여 채널이 정상적으로 형성되지 못하는 심각한 문제점이 야기될 수 있기 때문이다.

<28>           본 발명에서는 이러한 문제점을 미리 충분히 감안하여, 저 농도 불순물층(16,13)의 정션 깊이, 예컨대, 후술하는 드라이브-인 공정 후의 정션 깊이를 게이트 전극 패턴(20)의 매립 깊이 보다 최소한 같거나 더 깊게 함으로써, 채널의 원활한 형성을 미리 도모한다.

<29>           이하, 상술한 구조를 취하는 고 내압용 반도체 소자의 제조방법을 상세히 설명한다.

<30>           도 3a에 도시된 바와 같이, 본 발명에서는 먼저, 일련의 고온 열산화 공정을 진행시켜, 단결정 실리콘 등과 같은 반도체 기판(11)의 전면 상에 예컨대, 200 Å ~500 Å 정도의 두께를 갖는 패드 산화막(101)을 성장시킨다.

<31>           이어서, 본 발명에서는 일련의 저압 화학기상증착 공정을 진행시켜, 패드 산화막(101)의 상부에 예컨대, 1000 Å~2000 Å 정도의 두께를 갖는 실리콘 질화막(102)을 형성시킨다.

<32>           그런 다음, 본 발명에서는 반도체 기판(11)의 소자 분리 영역에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(도시 안됨)을 앞의 실리콘 질화막(102) 상에 형성시키고, 이 감광막 패턴을 식각 마스크로 하여, 일련의 이방성 특성을 갖는 건식 식각공정, 예컨대, 반응성 이온 에칭 공정(Reactive Ion Etching process)을 진행시켜, 반도체 기판(11)의 소자 분리 영역이 노출되도록 패드 산화막(101) 및

실리콘 질화막(102)을 패터닝 한다.

<33>            이어, 감광막 패턴을 식각 마스크층으로 반응성 이온 에칭 공정을 진행시켜, 기 노출된 반도체 기판(11)의 소자 분리 영역을 10000Å 정도의 깊이로 이방성 식각하고, 이를 통해, 반도체 기판(11)의 소자 분리 영역에 소자 분리를 위한 트랜치(T1)를 형성시킨다.

<34>            앞의 과정을 통해, 일련의 소자 분리를 위한 트랜치(T1)가 형성 완료되면, 본 발명에서는 일련의 이온 주입 공정을 통해, 소자 분리를 위한 트랜치(T1)의 저부에 인버전 방지층(12a)을 선택적으로 추가 형성한 후, 예컨대, 900℃~1100℃ 정도의 열 산화 공정을 진행시켜, 소자 분리를 위한 트랜치(T1)의 표면에 바람직하게, 400Å~600Å 정도의 두께를 갖는 산화막(도시 안됨)을 형성시킨다.

<35>            이어, 본 발명에서는 상황에 따라, 예컨대, 오존-TEOS(Tetra Ortho Silicate Glass) 공정, 상압 화학기상증착 공정, 플라즈마 화학기상증착 공정, 고밀도 플라즈마 화학기상증착 공정(High Density Plasma Chemical Vapor Deposition process:HDP CVD process) 등을 선택적으로 진행시켜, 소자 분리를 위한 트랜치(T1)의 내부에 예컨대, 산화막 재질을 갖는 소자 분리막(12)을 형성시킨다.

<36>            상술한 절차를 통해, 소자 분리막(12)의 형성이 완료되면, 본 발명에서는 도 3b에 도시된 바와 같이, 반도체 기판(11)의 활성 영역에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(103)을 앞의 실리콘 질화막(102) 상에 형성시키고, 이 감광막 패턴(103)을 식각 마스크로 하여, 일련의 이방성 특성을 갖는 건식 식각공정, 예컨대, 반응성 이온 에칭 공정을 진행시켜, 반도체 기판(11)의 활성 영역이 노출

되도록 패드 산화막(101) 및 실리콘 질화막(102)을 패터닝 한다.

<37>           이어서, 도 3c에 도시된 바와 같이, 본 발명에서는 앞의 감광막 패턴(103)을 식각 마스크층으로, 예컨대, 반응성 이온 에칭 공정을 진행시켜, 기 노출된 반도체 기판(11)의 활성 영역을  $3000\text{\AA}\sim 9800\text{\AA}$  정도의 깊이로 이방성 식각하고, 이를 통해, 반도체 기판(11)의 활성 영역에 게이트 전극용 트렌치(T2)를 형성시킨다.

<38>           그런 다음, 본 발명에서는 게이트 전극용 트렌치(T2)의 바닥면을 타겟으로 하는 일련의 이온 주입 공정을 진행시켜, 게이트 전극용 트렌치(T2)의 저부에 일련의 문턱전압 조절층(21)을 형성시킨다. 그런 후, 앞의 감광막 패턴(103)을 제거한다.

<39>           계속해서, 본 발명에서는 도 3d에 도시된 바와 같이, 예컨대,  $850^{\circ}\text{C}\sim 1100^{\circ}\text{C}$  정도의 열 산화 공정을 진행시켜, 게이트 전극용 트렌치(T2)의 표면에 바람직하게,  $180\text{\AA}\sim 2500\text{\AA}$  정도의 두께를 갖는 게이트 절연막 패턴(19)을 성장 형성시킨다.

<40>           이어, 도 3e에 도시된 바와 같이, 본 발명에서는 일련의 증착공정을 선택적으로 진행시켜, 게이트 전극용 트렌치(T2)의 내부에 예컨대, 고농도로 도핑된 폴리 실리콘 재질을 갖으면서, 게이트 절연막 패턴(19)과 접촉되는 게이트 전극 패턴(20)을 형성시킨다.

<41>           계속해서, 본 발명에서는 예컨대, 인산 용액, 불산 용액 등을 활용한 일련의 습식 식각 공정을 진행시켜, 실리콘 질화막(102) 및 패드 산화막(101)을 반도체 기판(11)의 표면으로부터 제거한다.

<42> 상술한 절차를 통해, 반도체 기판(11)의 액티브 영역에 트렌치 형태로 매립된 게이트 절연막 패턴(19)이 형성 완료되면, 본 발명에서는 도 3f에 도시된 바와 같이, 반도체 기판(11)의 활성 영역에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(104)을 반도체 기판(11)상에 형성시키고, 이 감광막 패턴(104)을 마스크로 하여, 일련의 이온 주입 공정을 진행시킴으로써, 게이트 절연막 패턴(19)과 접촉되면서, 게이트 전극 패턴(20)의 양쪽 측부에 위치하는 저 농도 불순물층(16,13)을 형성시킨다. 그런 다음, 앞의 감광막 패턴(104)을 제거한다.

<43> 이어, 본 발명에서는 위 저 농도 불순물층(16,13)의 전압 강하 능력을 향상시키기 위하여, 소정의 고온, 바람직하게, 1000℃~1250℃의 온도 환경 하에서, 30분~600분의 시간 동안 일련의 드라이브-인 공정을 진행시킨다.

<44> 상술한 드라이브-인 공정이 완료된 후, 본 발명에서는 도 3g에 도시된 바와 같이, 반도체 기판(11)의 활성 영역에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(104)을 반도체 기판(11)상에 형성시키고, 이 감광막 패턴(104)을 마스크로 하여, 일련의 이온 주입 공정을 진행시킴으로써, 게이트 절연막 패턴(19)과 접촉됨과 아울러, 게이트 전극 패턴(20)의 양쪽 측부에 위치하면서, 저 농도 불순물층(16,13)의 상부에 위치하는 고 농도 불순물층(17,14)을 형성시킨다. 그런 다음, 앞의 감광막 패턴(104)을 제거한다.

<45> 이후, 본 발명에서는 일련의 층간 절연막 형성공정, 콘택홀 형성공정, 금속 배선 형성공정 등을 추가로 반복 진행하여, 완성된 형태의 고 내압용 반도체 소자를 제조 완료한다.

## 【발명의 효과】

<46>           이상에서 상세히 설명한 바와 같이, 본 발명에서는 게이트 전극 패턴을 반도체 기판의 저부로 매립 형성함과 아울러, 이 게이트 전극 패턴의 양쪽 측부에 소오스/드레인 확산층을 위한 저 농도 불순물층 및 고 농도 불순물층을 순차적으로 적층 형성하고, 이를 통해, 고 농도 불순물층이 게이트 전극 패턴과 별도의 이격 거리를 이루지 않고서도, 자신에게 필요한 일련의 전압 강하 영역을 손쉽게 확보할 수 있도록 유도함으로써, 고 농도 불순물층 및 게이트 전극 패턴의 이격에 기인한 소자의 사이즈 증가를 미리 차단시킬 수 있다.

<47>           이러한 본 발명의 실시예에 따라, 고 농도 불순물층 및 게이트 전극 패턴의 이격 필요성이 효과적으로 제거되는 경우, 최종 완성되는 소자의 사이즈는 대폭 줄어들 수 있게 되며, 결국, 소자의 사이즈 증가에 기인한 제조원가 상승 문제점 역시 자연스럽게 해결될 수 있게 된다.

<48>           앞에서, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다. 이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허청구의 범위안에 속한다 해야 할 것이다.

## 【특허청구범위】

### 【청구항 1】

인버전 방지층이 구비된 소자 분리막에 의해 정의된 반도체 기판의 활성 영역에 매립 형성된 게이트 전극 패턴과;

상기 게이트 전극 패턴의 테두리를 감싸는 게이트 절연막 패턴과;

상기 게이트 절연막 패턴과 접촉되도록 상기 게이트 전극 패턴의 양쪽에 위치하면서, 상기 반도체 기판의 활성 영역 상층에 이온 주입 형성된 고 농도 불순물층과;

상기 게이트 절연막 패턴과 접촉되도록 상기 게이트 전극 패턴의 양쪽에 위치하면서, 상기 고 농도 불순물층의 하부에 이온 주입 형성된 저 농도 불순물층을 포함하는 것을 특징으로 하는 고 내압용 반도체 소자.

### 【청구항 2】

제 1 항에 있어서, 상기 고 농도 불순물층은 상기 소자 분리막의 인버전 방지층과 전기적으로 접촉되지 않도록 분리 형성되는 것을 특징으로 하는 고 내압용 반도체 소자.

### 【청구항 3】

제 1 항에 있어서, 상기 저 농도 불순물층은 상기 게이트 전극 패턴의 매립 깊이와 최소한 같거나 더 깊게 이온 주입되는 것을 특징으로 하는 고 내압용 반도체 소자.

#### 【청구항 4】

제 1 항에 있어서, 상기 게이트 전극 패턴은 상기 소자 분리막 보다 얇은 깊이로 매립 형성되는 것을 특징으로 하는 고 내압용 반도체 소자.

#### 【청구항 5】

제 1 항에 있어서, 상기 게이트 전극 패턴은 상기 소자 분리막 보다 넓은 폭을 유지하는 것을 특징으로 하는 고 내압용 반도체 소자.

#### 【청구항 6】

제 1 항에 있어서, 상기 게이트 절연막 패턴의 저부에는 상기 게이트 절연막 패턴을 통해 형성되는 채널의 문턱 전압을 조절하기 위한 문턱전압 조절층이 더 형성되는 것을 특징으로 하는 고 내압용 반도체 소자.

#### 【청구항 7】

반도체 기판의 활성 영역에 트렌치를 형성하는 단계와;

상기 트렌치의 표면에 게이트 절연막 패턴을 형성하는 단계와;

상기 게이트 절연막 패턴과 접촉되도록 상기 트렌치의 내부에 게이트 전극 패턴을 형성하는 단계와;

상기 게이트 절연막 패턴과 접촉되면서, 상기 게이트 전극 패턴의 양쪽에 위치하도록 상기 반도체 기판의 활성 영역에 저 농도 불순물층을 이온 주입 형성하는 단계와;

상기 게이트 절연막 패턴과 접촉되면서, 상기 게이트 전극 패턴의 양쪽에 위

치하도록 상기 저 농도 불순물층의 상부에 고 농도 불순물층을 이온 주입 형성하는 단계를 포함하는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

**【청구항 8】**

제 7 항에 있어서, 상기 게이트 절연막 패턴의 저부에 상기 게이트 절연막 패턴을 통해 형성되는 채널의 문턱 전압을 조절하기 위한 문턱전압 조절층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

**【청구항 9】**

제 7 항에 있어서, 상기 게이트 절연막 패턴은 180 Å~2500 Å의 두께로 형성되는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

**【청구항 10】**

제 7 항에 있어서, 상기 저 농도 불순물층을 고온의 환경에서 드라이브-인 (Drive in)하는 단계를 더 포함하는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

**【청구항 11】**

제 10 항에 있어서, 상기 저 농도 불순물층의 드라이브-인 단계는 1000℃~1250℃의 온도에서 진행되는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

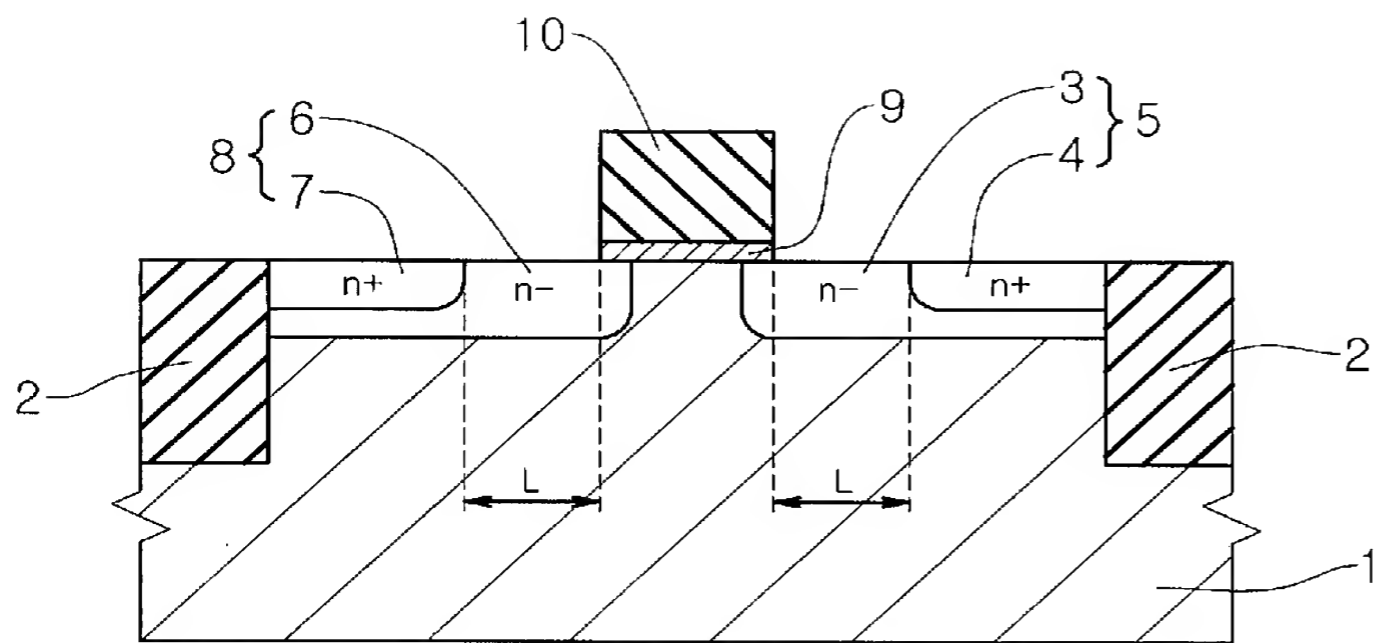
**【청구항 12】**

제 10 항에 있어서, 상기 저 농도 불순물층의 드라이브-인 단계는 30분~600

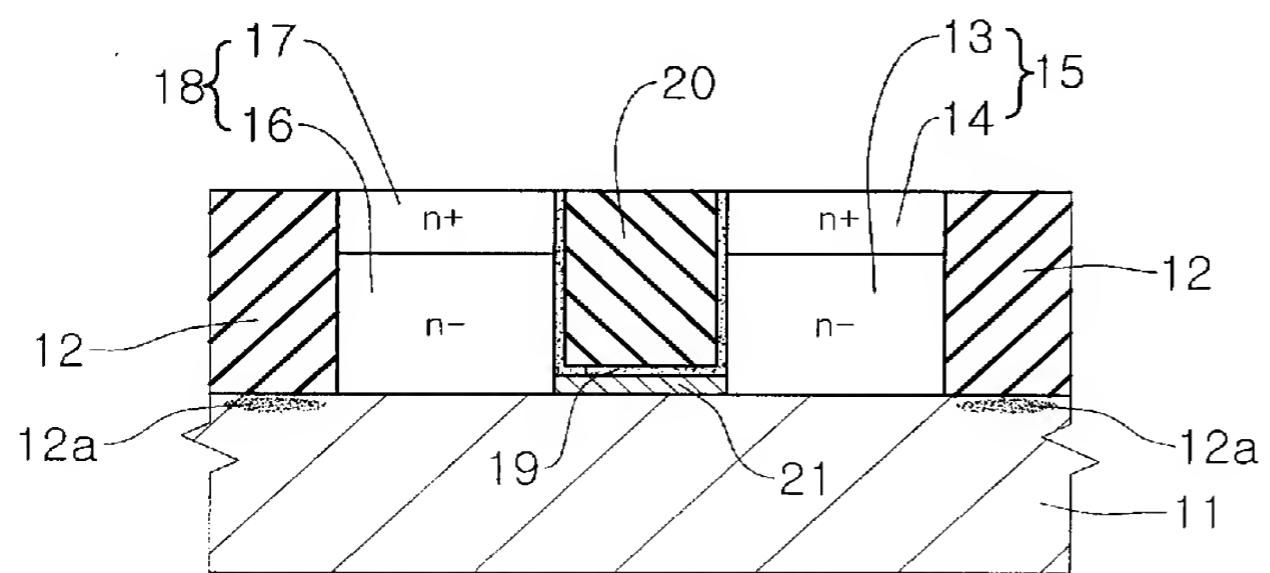
분 동안 진행되는 것을 특징으로 하는 고 내압용 반도체 소자의 제조방법.

【도면】

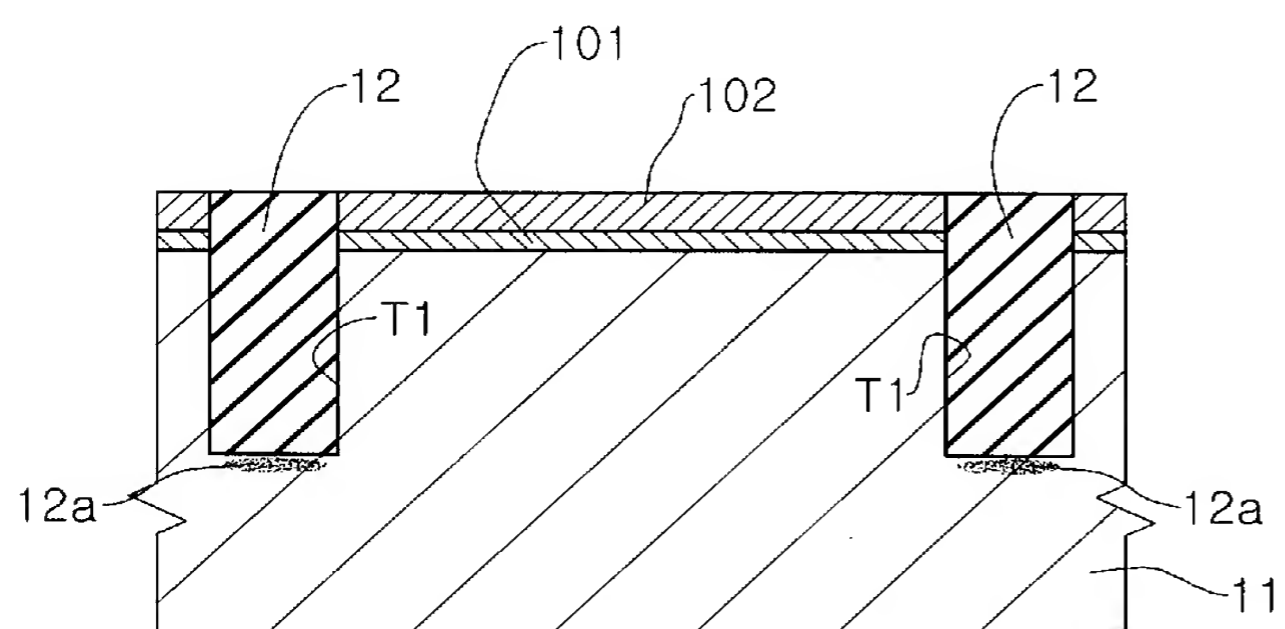
【도 1】



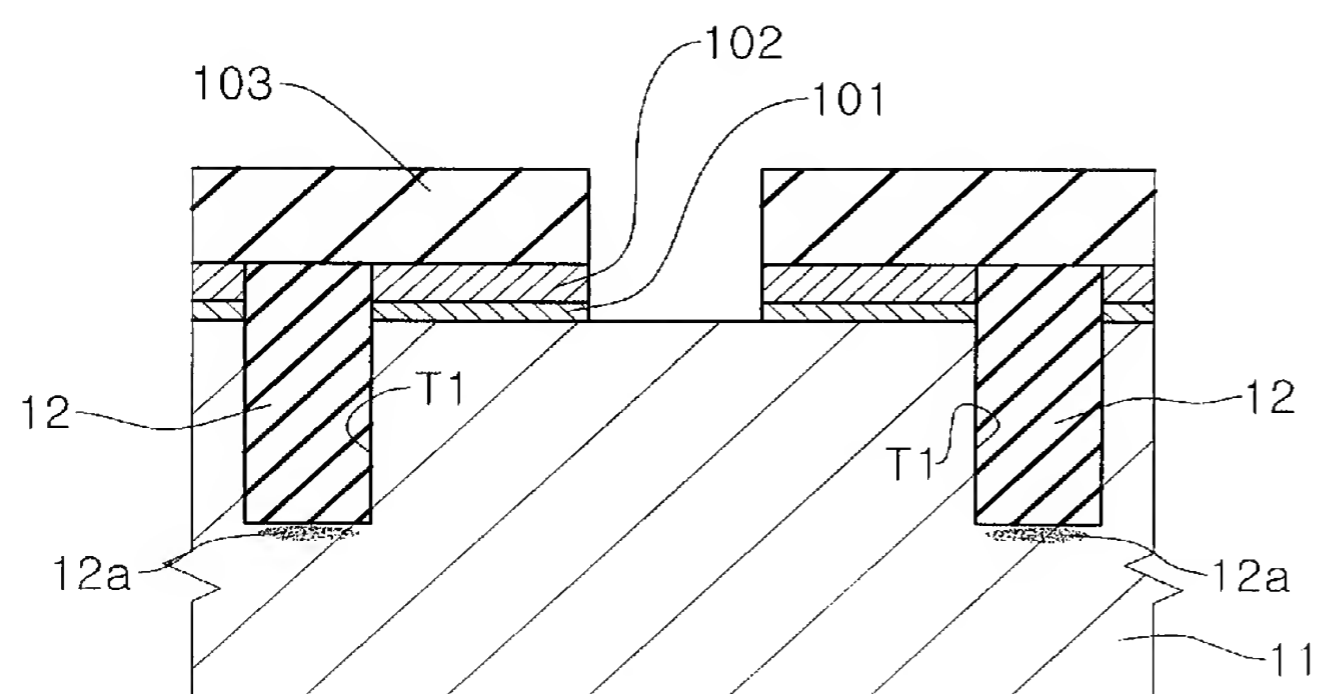
【도 2】



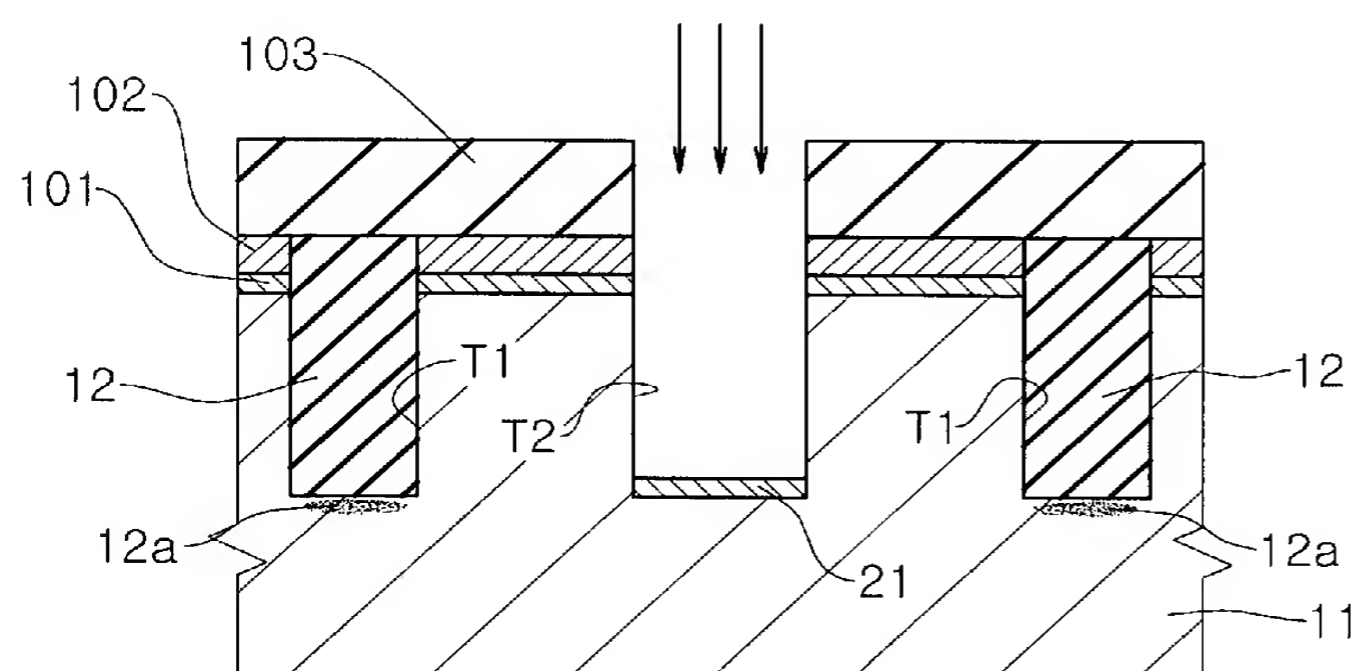
【도 3a】



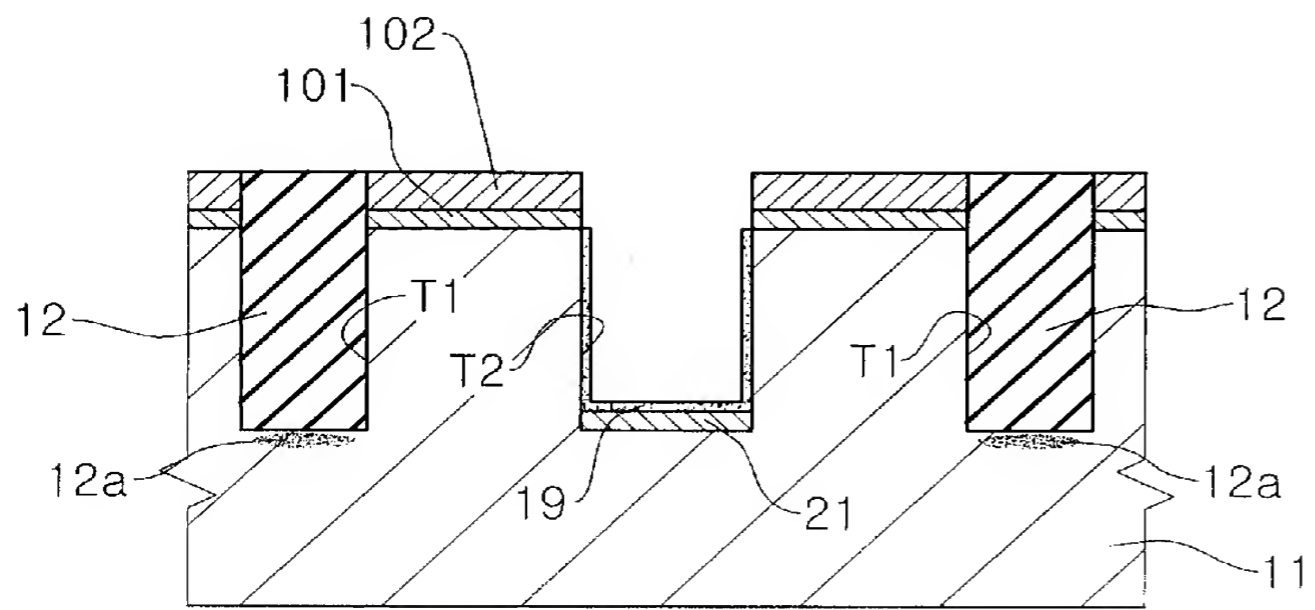
【도 3b】



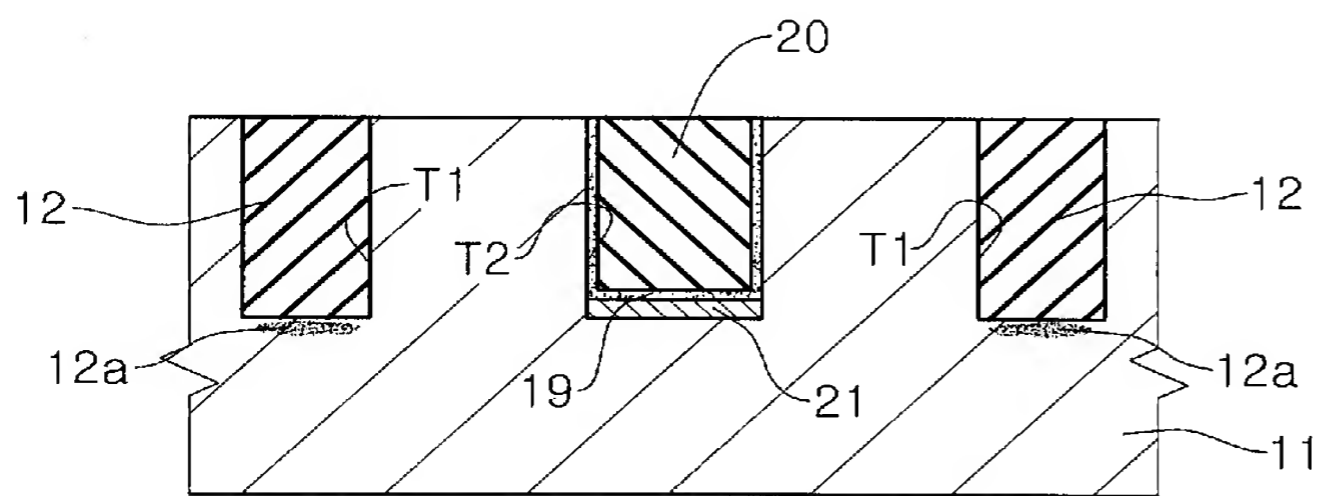
【도 3c】



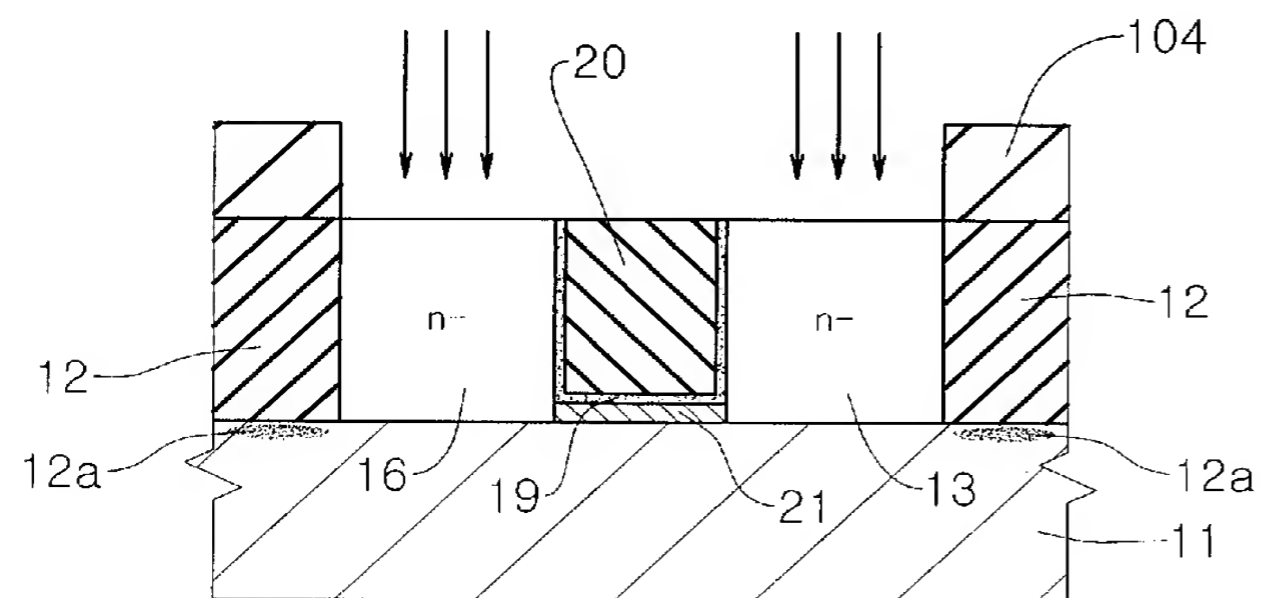
【도 3d】



【도 3e】



【도 3f】



【도 3g】

